

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-031529**

(43)Date of publication of application : **03.02.1998**

(51)Int.Cl.

G06F 1/04

G01R 31/3183

H03B 28/00

H04K 1/00

(21)Application number : **08-202812**

(71)Applicant : **D S TECHNOL:KK**

(22)Date of filing : **15.07.1996**

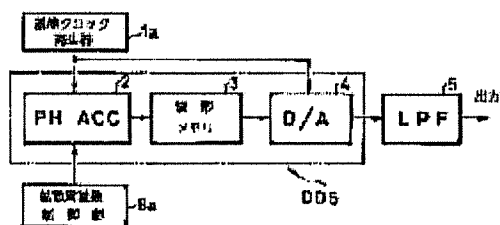
(72)Inventor : **AOKI MASARU**

(54) SPECTRUM SPREADING METHOD OF CLOCK GENERATING CIRCUIT, AND SPECTRUM SPREAD CLOCK GENERATING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flexible clock generating device which can easily adjust the width and radiation level of a spread of the spectrum of an unnecessary signal according to in-use environment.

SOLUTION: A spread frequency control part 6a which sets a phase increment to a phase accumulator 2 constituting what is called a DDS(direct digital synthesizer) circuit is stored with phase increments selected under specific conditions, and the phase increments are set sequentially in the phase accumulator 2 at specific time intervals; and an output frequency is momentarily varied and then while a desired frequency is maintained as a mean output frequency, the output spectrum is spread.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is a spectrum diffusing method in a clock generation device which uses a frequency synthesizer which can obtain a desired output frequency by changing predetermined control data, A spectrum diffusing method of a clock generation device diffusing spectrum of an output frequency by changing two or more control data defined corresponding to two or more preselected frequency one by one with a predetermined time interval.

[Claim 2] A spectrum diffusing method of a clock generation device, wherein two or more frequency is chosen so that average value of an output frequency after spectrum spread may serve as a desired clock frequency and width of diffusion may serve as a desired size.

[Claim 3] A spread spectrum clock generator comprising:

A frequency synthesizer means which generates a signal of an output frequency according to setting out of predetermined control data.

A diffusion frequency control means which sets two or more control data defined corresponding to two or more preselected frequency to said frequency synthesizer ZAIZA means one by one with a predetermined time interval.

[Claim 4] One side and a diffusion frequency control means characterized by comprising the following, Average value of an output frequency after spectrum spread serves as a desired clock frequency, And the spread spectrum clock generator according to claim 3 being what memorizes phase increment corresponding to two or more frequency chosen so that width of diffusion might serve as a desired size as control data.

A phase accumulator which a frequency synthesizer means accumulates phase increment as control data set up from the outside synchronizing with a reference clock by which an external

input is carried out, and outputs the accumulation result concerned at a given degree of accumulation.

A waveform memory which outputs digital waveform data memorized to the address concerned by making output data of said phase accumulator into an address.

A digital-to-analog converter which changes digital output signals of said waveform memory into an analog signal.

A low pass filter which removes an unnecessary signal component from an output signal of said analog transducer, and enables passage only of a signal below predetermined frequency.

[Claim 5]One side and a diffusion frequency control means characterized by comprising the following, The spread spectrum clock generator according to claim 4 being what memorizes a division ratio corresponding to two or more frequency chosen so that average value of an output frequency after spectrum spread might serve as a desired clock frequency and width of diffusion might serve as a desired size as control data.

A voltage controlled oscillator which oscillates frequency according to voltage for control to which the external input of the frequency synthesizer means is carried out.

A programmable divider which carries out dividing of the frequency of an output signal of said voltage controlled oscillator by a division ratio as control data set up from the outside.

A signal by which dividing was carried out with said programmable divider.

A low pass filter which removes a predetermined frequency ingredient from an output signal of a phase comparator which performs a phase and a frequency comparison with a reference clock signal by which an external input is carried out, and outputs a signal according to the comparison result concerned, and said phase comparator.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]In various electronic devices etc., this invention relates to the device which generates the clock used as a reference signal source, a source of a false signal, etc., and relates to the spread spectrum clock generator which aimed at diffusion of the spectrum especially.

[0002]

[Description of the Prior Art]In recent years, development of an integrated circuit component etc. can realize [a miniaturization expansion of clock frequency, etc.] electronic equipment now

easily more than the former. With development of such electronic equipment, from electronic equipment, with the signal originally outputted, various high frequency signals etc. are in the tendency which is generated and is radiated more than the former another, for example, and the influences of various which it has on the electronic equipment of the circumference of it are no longer disregarded. On the other hand, the electronic equipment allotted with high density has an integrated circuit component with clock frequency high as mentioned above, etc. in the tendency which becomes sensitive to what is called an electromagnetic interference wave radiated from surrounding electronic equipment more than the former. For this reason, the thing for which the radiation level of an electromagnetic interference wave is oppressed as much as possible in electronic equipment in recent years, Importance has been attached to taking what is called measures against EMC (Electro Magnetic Compatibility) like it being [influence] hard and using it as a receptacle by the electromagnetic interference wave from the outside, more than the former.

[0003]By the way, the case where the circuit which generates the stable signal which has a constant period as a reference signal source in an electronic device, for example is needed for the inside of a device, Although what generates what is called a periodic signal of arbitrary frequency as a source of a false signal in the operation test of a device, etc. in a predetermined frequency range may need outside at another individual, various kinds of clock generation devices are proposed and put in practical use from the former as such a signal source. The higher harmonic signal other than the output frequency signal for which it asks generating a most clock generation device on the character of the device is not stopping to some extent. Therefore, various measures against EMC, such as forming the filter for preventing or oppressing radiation of an unnecessary high frequency signal in an output stage, were taken also from the former.

[0004]

[Problem(s) to be Solved by the Invention]However, in the actual condition of these days that the recognition over EMC increases as stated previously, The actual condition is oppressing radiation of an unnecessary signal with simpler composition, and to reduce the radiation level's of an undesired signal as much as possible being desired moreover, and being unable to acquire result sufficient in the range of measure art like before. This invention provides the clock generation device which can oppress radiation of an unnecessary signal on certainty and enough levels, without having been made in view of the above-mentioned actual condition, and complicating original circuitry. Other purposes of this invention can adjust simply the width and its radiation level of diffusion of spectrum of an undesired signal according to an operating environment, and there are in providing the high clock generation device of flexibility.

[0005]

[Means for Solving the Problem]A spectrum diffusing method of a clock generation device

concerning the invention according to claim 1, It is a spectrum diffusing method in a clock generation device which uses a frequency synthesizer which can obtain a desired output frequency by changing predetermined control data, It is made coming to spread spectrum of an output frequency by being a predetermined time interval and changing two or more control data defined corresponding to two or more preselected frequency one by one.

[0006]In a clock generation device constituted so that especially this method could obtain a desired output frequency by what is called frequency synthesis, It is what was made paying attention to an output frequency being changeable in an instant by changing control data for setting up an output frequency one by one, By choosing suitably control data corresponding to two or more output frequencies, and changing it with a predetermined time interval, moreover, average value of an output frequency can be made into frequency of a clock signal of an original request, can make it distribute, and spectrum The sake, Radiation of an unnecessary signal can be oppressed on certainty and enough levels.

[0007]A spread spectrum clock generator concerning the invention according to claim 3, A frequency synthesizer means which generates a signal of an output frequency according to setting out of predetermined control data, A diffusion frequency control means which sets two or more control data defined corresponding to two or more preselected frequency to said frequency synthesizer ZAIZA means one by one with a predetermined time interval is provided.

[0008]Although various things can be considered as more concrete composition of a frequency synthesizer means and a diffusion frequency control means, here, For example, especially like the invention according to claim 4 a frequency synthesizer means, A phase accumulator which accumulates phase increment as set-up control data from the outside synchronizing with a reference clock by which an external input is carried out, and outputs the accumulation result concerned at a given degree of accumulation, A waveform memory which outputs digital waveform data memorized to the address concerned by making output data of said phase accumulator into an address, A digital-to-analog converter which changes digital output signals of said waveform memory into an analog signal, While, provide a low pass filter which removes an unnecessary signal component from an output signal of said analog transducer, and enables passage only of a signal below predetermined frequency, and a diffusion frequency control means, What memorizes phase increment corresponding to two or more frequency chosen so that average value of an output frequency after spectrum spread might serve as a desired clock frequency and width of diffusion might serve as a desired size as control data is preferred.

[0009]In this composition, a portion which comprises a phase accumulator, a waveform memory, a digital-to-analog converter, and a low pass filter, It is known as the so-called oscillating circuit of a DDS (DirectDigital Synthesizer) method, and diffusion of spectrum of an output signal is enabled by this thing [, controlling a phase accumulator of a DDS circuit by a diffusion frequency control means so to speak]. A diffusion frequency control means is realizable by, for example,

using what is called an exclusive IC like performing a predetermined program by what is called a CPU, or ASIC (Application Specified IC), etc. And in such composition, two or more phase increment which received to a phase accumulator and was beforehand memorized by diffusion frequency control means by a diffusion frequency control means will be set up one by one with a predetermined time interval, and frequency obtained by DDS will change with a predetermined time interval. Here two or more phase increment so that frequency of an average when frequency obtained by DDS changes with a prescribed interval may originally turn into frequency of a desired clock signal, And since frequency is chosen as the so-called diffusion of spectrum by changing for a short time serves as predetermined width, A clock signal of desired frequency can be acquired by diffusion of spectrum, oppressing radiation of an unnecessary signal on certainty and enough levels.

[0010]As a frequency synthesizer means in the invention according to claim 3, and a diffusion frequency control means, like the invention according to claim 5 especially a frequency synthesizer means, A voltage controlled oscillator which oscillates frequency according to voltage for control by which an external input is carried out, A programmable divider which carries out dividing of the frequency of an output signal of said voltage controlled oscillator by a division ratio as control data set up from the outside, A phase comparator which performs a phase and a frequency comparison of a signal by which dividing was carried out with said programmable divider, and a reference clock signal by which an external input is carried out, and outputs a signal according to the comparison result concerned, While, provide a low pass filter which removes a predetermined frequency ingredient from an output signal of said phase comparator, and a diffusion frequency control means, What memorizes a division ratio corresponding to two or more frequency chosen so that average value of an output frequency after spectrum spread might serve as a desired clock frequency and width of diffusion might serve as a desired size as control data is preferred.

[0011]In this composition, a portion which comprises a voltage controlled oscillator, a programmable divider, a phase comparator, and a low pass filter, It is what is known as what is called a PLL (Phase-Locked Loop) frequency synthesizer circuit, Diffusion of spectrum of an output signal is enabled by controlling a division ratio of a programmable divider of this PLL frequency synthesizer circuit by a diffusion frequency control means. A diffusion frequency control means is realizable by, for example, using what is called an exclusive IC like performing a predetermined program by what is called a CPU, or ASIC (Application Specified IC), etc. And in such composition, it receives to a programmable divider by a diffusion frequency control means, Data of two or more division ratios beforehand memorized by diffusion frequency control means will be set up one by one with a predetermined time interval, and above-mentioned frequency obtained by a PLL frequency synthesizer circuit portion so to speak will change with a predetermined time interval. Here two or more division ratios so that frequency of an average

when frequency obtained by PLL frequency synthesizer circuit changes with a prescribed interval may originally turn into frequency of a desired clock signal, And since frequency is chosen as the so-called diffusion of spectrum by changing for a short time serves as predetermined width, A clock signal of desired frequency can be acquired by diffusion of spectrum, oppressing radiation of an unnecessary signal on certainty and enough levels.

[0012]

[Embodiment of the Invention] Suppose that an embodiment of the invention is described hereafter, referring to drawing 1 thru/or drawing 5. The member explained below, the arrangement, etc. cannot limit this invention, and can change it variously within the limits of the meaning of this invention.

[0013] The 1st example of introduction is explained referring to drawing 1, drawing 2, and drawing 5. The spread spectrum clock generator in this 1st example, It is what is constituted and the spectrum spread of the output signal becomes as for so that may be performed on the basis of the clock generation circuit what is called using a DDS (Direct Digital Synthesizer) method, Specifically The reference clock generator 1a and the phase accumulator (in drawing 1, it is written as "PH ACC") 2, The waveform memory 3, the digital-to-analog converter (in drawing 1, it is written as "D/A") 4, the low pass filter (in drawing 1, it is written as "LPF") 5, and the diffusion frequency control part 6a are provided.

[0014] Although the portion which comprises the phase accumulator 2, the waveform memory 3, and the digital-to-analog converter (it is called the following "D/A converter") 4 is a portion which is generally called DDS and makes the frequency synthesizer circuit of publicly known and well-known, The reference clock generator 1a is what generates and outputs the clock signal of the circuit operation of this DDS which serves as a basic clock so to speak, That output signal is inputted into the phase accumulator 2 and D/A converter 4, and these phase accumulators 2 and D/A converter 4 operate synchronizing with the clock signal from this reference clock generator 1a.

[0015] The phase accumulator 2 makes the frequency synthesizer circuit by DDS with the waveform memory 3 and D/A converter 4, the data of the phase increment needed in a DDS method is set up, and the accumulation is performed. Since the frequency synthesizer circuit by a DDS method itself is already a thing of publicly known and well-known, detailed explanation is omitted, but suppose that a principle of operation is explained generally here.

[0016] In the signal generation by a DDS method, first with the phase accumulator 2. The address of the waveform memory 3 is generated and the data for one cycle memorized by the waveform memory 3 (for example, a sine wave form) is read from the address value specified by the phase accumulator 2. And the digital data of the sine wave read from the waveform memory 3 is changed into an analog signal by D/A converter 4, removal of an unnecessary signal component is performed by the low pass filter 5, and it is obtained as an analog sine wave.

[0017]Here the data inputted into the waveform memory 3 from the phase accumulator 2, Since it is the data point for one cycle which is memorized by the waveform memory 3, the data which can realize that it is the wave-like phase angle concerned, and is usually set as this phase accumulator 2 from the outside is called phase increment. Namely, the phase increment to which the phase accumulator 2 was set from the outside, It accumulates in the timing of a reference clock and the accumulation result is outputted to the waveform memory 3 at a given degree of accumulation, it is that the data point which makes the accumulation result an address is read, and the signal of desired frequency will be acquired from the waveform memory 3. Therefore, by changing the phase increment set as the phase accumulator 2 from the outside, the frequency of an output signal will change and phase increment is also called frequency data from such a meaning.

[0018]The data for one wave-like predetermined cycle was memorized by digital value as mentioned above, and the waveform memory 3 comprises IC memories, such as ROM, for example. In this 1st example, although the predetermined waveform was made into the sine wave, it does not necessarily need to be limited to this, for example, may be a square wave signal. As already stated, D/A converter 4 is for changing into an analog signal the digital signal read from the waveform memory 3, may have the composition of publicly known and well-known, and does not need to have special composition. The low pass filter 5 is for removing the unnecessary signal component etc. which are produced in D/A converter 4, and obtaining the original analog signal waveform for which it asks.

[0019]The diffusion frequency control part 6a outputs two or more phase increment (frequency data) required in order to perform spectrum spread of an output signal to the previous phase accumulator 2 so that it may mention later. This diffusion frequency control part 6a may be realized by specifically performing the program which has contents which are mentioned later, for example using what is called a CPU. It may replace with general-purpose CPU, for example, may constitute using an exclusive IC like ASIC (Application Specified IC).

[0020]Next, the control action to the phase accumulator 2 by the above-mentioned diffusion frequency control part 6a for the spectrum spread of a clock signal is explained, referring to drawing 2. If the control action by the diffusion frequency control part 6a is started, from the memory by which this diffusion frequency control part 6a is not illustrated (for example, memory etc. which are built in CPU). The first data will be read from the inside of two or more phase increment (frequency data) memorized beforehand, and it will be set as the phase accumulator 2 (refer to Step 100 of drawing 2).

[0021]Namely, usually sometimes being set [which makes the clock signal of a desired output frequency profitably like] as the phase accumulator 2, In [place which is only data of the predetermined phase increment which becomes settled corresponding to the request frequency concerned] this 1st example, With the data of the phase increment for acquiring an original clock

signal, beforehand Under a predetermined condition, What the data of two or more phase increment corresponding to two or more frequency selected as an output frequency is beforehand memorized by the memory by which the diffusion frequency control part 6a is not illustrated, and is memorized as first data among the data is read, and it is set as the phase accumulator 2.

[0022]Here, two or more above-mentioned frequency beforehand chosen as an output frequency under the predetermined condition is chosen from the following viewpoints. First, the spread spectrum clock generator in this 1st example aims at level reduction of the higher harmonic signal radiated with an original clock signal outside by distributing the spectrum of the clock signal for which it asks. For this reason, he is trying to aim at distribution of spectrum by changing two or more output frequencies at intervals of a short time focusing on the frequency of the clock signal made profitably originally like. And how many frequency are chosen as an output frequency to change. It is carried out from a viewpoint it is made to become equal to the frequency of the original clock signal for which the center frequency of the average which satisfied and diffused the width for which the width of distribution of spectrum asks asks, and the frequency of N pieces is chosen, including the frequency of the original clock signal for which it asks.

[0023]In the memory in which the diffusion frequency control part 6a is not illustrated. The phase increment (frequency data) needed in order to obtain each frequency of this of N pieces is memorized, and in the start of control, the first data beforehand defined out of these N pieces is read and it is set as the phase accumulator 2 to have stated previously. In what kind of order N data is read. If it carries out from a viewpoint that what is necessary is just in agreement with the frequency of the original clock signal for which the center frequency of the diffused average asks, it will not be what is limited to specific order, For example, various gestalten, such as reading to the lower one from the one which is read to the higher one from the one where frequency is lower and where frequency is higher conversely, can be taken.

[0024]A timer will start immediately after setting up the first phase increment as mentioned above (refer to Step 102 of drawing 2). It is used in order to judge that time progress mentions this timer later, and execution of the program for the lapsed time calculation based on the method of publicly known and well-known realizes.

[0025]And if judged with it being performed until it is judged as predetermined time having passed whether predetermined time has passed since the time of timer start up (refer to Step 104 of drawing 2), and predetermined time having passed, It will be judged whether predetermined number reading appearance of the data of phase increment was carried out (refer to Step 106 of drawing 2). In this judgment, when judged with predetermined number reading appearance of the data of phase increment yet not being carried out, as it returns to previous Step 100 and the data of the following phase increment mentioned above (when it is NO), it will be read. Therefore, the data of the phase increment of a predetermined number is set as the phase accumulator 2 one by one at intervals of the predetermined time defined by the judgment of Step 104 mentioned above.

Diffusion of spectrum will be made as a result of the frequency of the clock signal outputted from the spread spectrum clock generator in this 1st example changing with a prescribed interval, if it puts in another way. Here, predetermined time needs to be set as about several 10 ms and for size to become for example, as compared with the repeating cycle of an output frequency.

[0026]On the other hand, when judged with the data of the phase increment of a predetermined number having been read in the judgment of Step 106 (YES), After a series of subroutine processings are ended, once returning to the main routine which is not illustrated and making other processings, the processing of an example mentioned above is repeated again.

[0027]Thus, in this 1st example by the diffusion frequency control part 6a. By setting the data of two or more phase increment beforehand selected under the predetermined condition with a predetermined time interval as the phase accumulator 2 for DDS, As a result of changing with the time interval whose output frequency is very short and performing spectrum spread, as shown in drawing 5 (b), the output spectrum of this conventional kind of clock generation device, for example, The output spectrum of the spread spectrum clock generator in this 1st example to having become what is called line spectrum, As shown in the figure (a), it is a thing that become what has a spread (diffusion width) focusing on each frequency, and that level is reduced by diffusion of this spectrum as compared with the former. The diffusion width and the level of spectrum can be arbitrarily changed by the method of selection of the data of two or more phase increment set as the phase accumulator 2, as stated previously.

[0028]Next, the 2nd working example is described, referring to drawing 3 thru/or drawing 5. First, the composition of the spread spectrum clock generator in this 2nd example is explained, referring to drawing 3. The spread spectrum clock generator in this 2nd example, It is what was constituted on the basis of what is called a PLL (Phase-Locked Loop) frequency synthesizer, The reference clock generator 1b and the phase comparator (in drawing 3, it is written as "PC") 7, The low pass filter (in drawing 3, it is written as "LPF") 8 as what is called a loop filter, The voltage controlled oscillator (in drawing 3, it is written as "VCO") 9, the programmable divider (in drawing 3, it is written as "PG DIV") 10, and the diffusion frequency control part 6b are provided.

[0029]The reference clock generator 1b is needed in what is called a PLL frequency synthesizer circuit, serves as a reference frequency source, and outputs the clock signal of predetermined frequency to the phase comparator 7. Although the oscillating circuit of publicly known and well-known may be available for the circuitry of this reference clock generator 1b and it does not need to be limited to a specific thing, the thing of composition of oscillating especially using a crystal oscillator is preferred.

[0030]The clock signal into which the phase comparator 7 was inputted from the reference clock generator 1b, A phase and a frequency comparison with the signal inputted from the programmable divider 10 are performed, the voltage signal according to that comparison result is outputted, and it has circuitry of publicly known and well-known in this kind of PLL circuit. The low

pass filter 8 passes only the voltage signal which should be inputted into the voltage controlled oscillator 9, is for removing the unnecessary signal included in the output signal of the phase comparator 7, and has circuitry of publicly known and well-known in this kind of PLL circuit like the phase comparator 7.

[0031]The voltage controlled oscillator 9 performs the oscillation according to the direct current voltage according to the comparison result of the phase comparator 7 inputted via the low pass filter 8, and has circuitry of publicly known and well-known in this kind of PLL circuit like the phase comparator 7. The programmable divider 10 carries out dividing of the frequency of the signal inputted from the voltage controlled oscillator 9 to a predetermined division ratio, and outputs it, and a predetermined division ratio changes it by control from the outside. In this kind of PLL circuit, it has circuitry of publicly known and well-known like [this programmable divider 10] the phase comparator 7.

[0032]The diffusion frequency control part 6b changes the division ratio of the programmable divider 10 according to a predetermined control procedure so that diffusion of desired spectrum may be made about the output frequency of the voltage controlled oscillator 9 (it mentions later for details). This diffusion frequency control part 6b may be realized by specifically performing the program which has contents which are mentioned later, for example using what is called a CPU. It may replace with general-purpose CPU, for example, may constitute using an exclusive IC like ASIC (Application Specified IC).

[0033]In the above-mentioned composition, the operation which acquires the clock signal of a certain frequency from the voltage controlled oscillator 9, Since it is it fundamentally the same that publicly known and well-known are served as in this kind of PLL circuit if setting out of the division ratio by the diffusion frequency control part 6b mentioned later is removed, if it explains roughly, First, the division ratio by which the output frequency of the reference clock generator 1b was set as F_s and the programmable divider 10 assumes that the output frequency of M and the voltage controlled oscillator 9 is F_o .

[0034]A part of output of the voltage controlled oscillator 9 is inputted into the programmable divider 10, and the frequency serves as F_o/M and is inputted into the phase comparator 7. And in the phase comparator 7, the phase comparison of F_s and F_o/M is performed and $F_s = F_o/M$ is materialized in the state where what is called a PLL loop was locked. Therefore, the output frequency F_o of the voltage controlled oscillator 9 is obtained with $F_o = M \times F_s$.

[0035]Next, the control action to the programmable divider 10 by the above-mentioned diffusion frequency control part 6b for the spectrum spread of a clock signal is explained, referring to drawing 4. If the control action by the diffusion frequency control part 6b is started, from the memory by which this diffusion frequency control part 6b is not illustrated (for example, memory etc. which are built in CPU). The first data will be read from the inside of the data of two or more division ratios memorized beforehand, and it will be set as the programmable divider 10 (refer to

Step 200 of drawing 4).

[0036]Namely, usually sometimes being set [which makes the clock signal of a desired output frequency profitably like] as the programmable divider 10, In [place which is only data of the predetermined division ratio which becomes settled corresponding to the request frequency concerned] this 2nd example, With the data of the division ratio for acquiring an original clock signal, beforehand Under a predetermined condition, What the data of the division ratio corresponding to two or more frequency selected as an output frequency is beforehand memorized by the memory by which the diffusion frequency control part 6b is not illustrated, and is memorized as first data among the data is read, and it is set as the programmable divider 10.

[0037]Here, two or more above-mentioned frequency beforehand chosen as an output frequency under the predetermined condition is chosen from the following viewpoints. First, the spread spectrum clock generator in this 2nd example aims at level reduction of the higher harmonic signal radiated with an original clock signal outside by distributing the spectrum of the clock signal for which it asks. For this reason, he is trying to aim at distribution of spectrum by changing two or more output frequencies at intervals of a short time focusing on the frequency of the clock signal made profitably originally like. And how many frequency are chosen as an output frequency to change. It is carried out from a viewpoint it is made to become equal to the frequency of the original clock signal for which the center frequency of the average which satisfied and diffused the width for which the width of distribution of spectrum asks asks, and the frequency of N pieces is chosen, including the frequency of the original clock signal for which it asks.

[0038]In the memory in which the diffusion frequency control part 6b is not illustrated. The division ratio needed in order to obtain each frequency of this of N pieces is memorized, and in the start of control, the first data beforehand defined out of these N pieces is read and it is set as the programmable divider 10 to have stated previously. In what kind of order N data is read. If it carries out from a viewpoint that what is necessary is just in agreement with the frequency of the original clock signal for which the center frequency of the diffused average asks, it will not be what is limited to specific order, For example, various gestalten, such as reading to the lower one from the one which is read to the higher one from the one where frequency is lower and where frequency is higher conversely, can be taken.

[0039]A timer will start immediately after setting up the first division ratio as mentioned above (refer to Step 202 of drawing 4). It is used in order to judge that time progress mentions this timer later, and execution of the program for the lapsed time calculation based on the method of publicly known and well-known realizes.

[0040]And if judged with it being performed until it is judged as predetermined time having passed whether predetermined time has passed since the time of timer start up (refer to Step 204 of drawing 4), and predetermined time having passed, It will be judged whether predetermined number reading appearance of the data of a division ratio was carried out (refer to Step 206 of

drawing 4). In this judgment, when judged with predetermined number reading appearance of the data of a division ratio yet not being carried out, as it returns to previous Step 200 and the data of the following division ratio mentioned above (when it is NO), it will be read. Therefore, the data of the division ratio of a predetermined number is set as the programmable divider 10 one by one at intervals of the predetermined time defined by the judgment of Step 204 mentioned above.

Diffusion of spectrum will be made as a result of the frequency of the clock signal outputted from the spread spectrum clock generator in this 2nd example changing with a prescribed interval, if it puts in another way. Here, predetermined time needs to be set as about several 10 ms and for size to become for example, as compared with the repeating cycle of an output frequency.

[0041]On the other hand, when judged with the data of the division ratio of a predetermined number having been read in the judgment of Step 206 (YES), After a series of subroutine processings are ended, once returning to the main routine which is not illustrated and making other processings, the processing of an example mentioned above is repeated again.

[0042]Thus, in this 2nd example by the diffusion frequency control part 6b. By setting the data of two or more division ratios beforehand selected under the predetermined condition with a predetermined time interval as the programmable divider 10 which constitutes the frequency synthesizer circuit of a PLL system, As a result of changing with the time interval whose output frequency is very short and performing spectrum spread, as shown in drawing 5 (b), the output spectrum of this conventional kind of clock generation device, for example, The output spectrum of the spread spectrum clock generator in this 2nd example to having become what is called line spectrum, As shown in the figure (a), it is a thing that become what has a spread (diffusion width) focusing on each frequency, and that level is reduced by diffusion of this spectrum as compared with the former. The diffusion width and the level of spectrum are PURUGU Lamaism bull dividers, as stated previously. By the method of selection of the data of two or more division ratios set up, it can change arbitrarily.

[0043]

[Effect of the Invention]As mentioned above, in the clock generation device which can obtain a desired output frequency by changing specific control data in this invention as stated, By choosing two or more control data under a predetermined condition beforehand, and setting this up one by one by constituting so that the control data can be changed one by one with a predetermined time interval under predetermined conditions. Since diffusion of output spectrum can be aimed at and distribution of the radiant energy of an undesired signal is made for this reason, what is called EMC disturbance can be reduced simply. Especially in the invention of Claim 4 **** 5 description, Since a diffusion frequency control means can be considered as composition which achieves the function of the purpose by execution of a program, The width of diffusion of spectrum, its level, etc. are easily changeable according to a demand, flexibility is

high and the clock generation device which can moreover oppress radiation of an unnecessary signal on certainty and enough levels can be provided.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a lineblock diagram showing the example of composition in the 1st example of the spread spectrum clock generator in an embodiment of the invention.

[Drawing 2] It is a subroutine flow chart which shows the procedure of the control action for the spectrum spread to the phase accumulator by the diffusion frequency control part of the spread spectrum clock generator shown in drawing 1.

[Drawing 3] It is a lineblock diagram showing the example of composition in the 2nd example of the spread spectrum clock generator in an embodiment of the invention.

[Drawing 4] It is a subroutine flow chart which shows the procedure of the control action for the spectrum spread which receives to the programmable divider by the diffusion frequency control part of the spread spectrum clock generator shown in drawing 3.

[Drawing 5] It is a mimetic diagram showing typically the situation of the spectrum of the output signal of the spread spectrum clock generator concerning this invention with the thing of a device conventionally.

[Description of Notations]

2 -- Phase accumulator

3 -- Waveform memory

4 -- D/A converter

6a -- Diffusion frequency control part

6b -- Diffusion frequency control part

7 -- Phase comparator

9 -- Voltage controlled oscillator

10 -- Programmable divider

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-31529

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/04			G 0 6 F 1/04	C
G 0 1 R 31/3183			H 0 3 B 28/00	B
H 0 3 B 28/00			H 0 4 K 1/00	
H 0 4 K 1/00			G 0 1 R 31/28	Q

審査請求 未請求 請求項の数 5 F D (全 8 頁)

(21) 出願番号 特願平8-202812
(22) 出願日 平成8年(1996) 7月15日

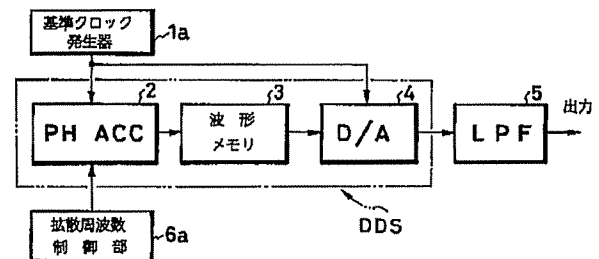
(71) 出願人 596112815
有限会社ディエステクノロジー
埼玉県朝霞市三原3丁目3番2号
(72) 発明者 青木 勝
埼玉県朝霞市三原3丁目3番2号 有限会
社ディエステクノロジー内
(74) 代理人 弁理士 安孫子 勉

(54) 【発明の名称】 クロック発生装置のスペクトラム拡散方法及びスペクトラム拡散クロック発生装置

(57) 【要約】

【課題】 使用環境に合わせて不要信号のスペクトラムの拡散の幅やその輻射レベルを簡易に調整することができ、汎用性の高いクロック発生装置を提供する。

【解決手段】 いわゆるDDS回路を構成する位相アキュムレータ2へ位相増加分を設定する拡散周波数制御部6aには、所定条件の下で選定された複数の位相増加分が記憶されており、この複数の位相増加分が所定時間間隔で順次位相アキュムレータ2に設定されるようになっており、出力周波数を瞬時に変えることで、平均の出力周波数を所望する周波数に維持しつつ、出力スペクトラムの拡散を図るようになっている。



【特許請求の範囲】

【請求項1】 所定の制御データを変えることにより所望の出力周波数を得ることのできる周波数シンセサイザを用いてなるクロック発生装置におけるスペクトラム拡散方法であって、

予め選択された複数の周波数に対応して定められた複数の制御データを、所定の時間間隔で、順次変えることにより、出力周波数のスペクトラムの拡散を行うことを特徴とするクロック発生装置のスペクトラム拡散方法。

【請求項2】 複数の周波数は、スペクトラム拡散後の出力周波数の平均値が所望のクロック周波数となり、かつ、拡散の幅が所望の大きさとなるように選択されたものであることを特徴とするクロック発生装置のスペクトラム拡散方法。

【請求項3】 所定の制御データの設定に応じた出力周波数の信号を生成する周波数シンセサイザ手段と、予め選択された複数の周波数に対応して定められた複数の制御データを、所定の時間間隔で順次、前記周波数シンセサイザ手段へ設定する拡散周波数制御手段と、を具備してなることを特徴とするスペクトラム拡散クロック発生装置。

【請求項4】 周波数シンセサイザ手段は、外部から設定された制御データとしての位相増加分を外部入力される基準クロックに同期して累積し、累積の度毎に当該累積結果を出力する位相アキュムレータと、前記位相アキュムレータの出力データをアドレスとして、当該アドレスに記憶されたデジタル波形データを出力する波形メモリと、前記波形メモリのデジタル出力信号をアナログ信号に変換するデジタル・アナログ変換器と、前記アナログ変換器の出力信号から不要な信号成分を除去し、所定の周波数以下の信号のみを通過可能とするローパスフィルタと、を具備してなる一方、拡散周波数制御手段は、スペクトラム拡散後の出力周波数の平均値が所望のクロック周波数となり、かつ、拡散の幅が所望の大きさとなるように選択された複数の周波数に対応する位相増加分を制御データとして記憶してなるものであることを特徴とする請求項3記載のスペクトラム拡散クロック発生装置。

【請求項5】 周波数シンセサイザ手段は、外部入力される制御用の電圧に応じた周波数を発振する電圧制御発振器と、外部から設定される制御データとしての分周比で前記電圧制御発振器の出力信号の周波数を分周するプログラマブルデバイダと、前記プログラマブルデバイダにより分周された信号と、外部入力される基準クロック信号との位相及び周波数比較を行い、当該比較結果に応じた信号を出力する位相比較器と、前記位相比較器の出力信号から所定周波数成分を除去す

るローパスフィルタと、を具備してなる一方、拡散周波数制御手段は、スペクトラム拡散後の出力周波数の平均値が所望のクロック周波数となり、かつ、拡散の幅が所望の大きさとなるように選択された複数の周波数に対応する分周比を制御データとして記憶してなるものであることを特徴とする請求項4記載のスペクトラム拡散クロック発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、種々の電子装置等において、基準信号源や、疑似信号源等として使用されるクロックを発生する装置に係り、特に、そのスペクトラムの拡散を図ったスペクトラム拡散クロック発生装置に関する。

【0002】

【従来の技術】近年、集積回路部品等の発達により、電子機器はこれまで以上に小型化、動作周波数の拡大等が容易に実現され得るようになってきている。このような電子機器の発達に伴い、電子機器からは、本来出力される信号とは別に、例えば種々の高周波信号等がこれまで以上に発生、輻射される傾向にあり、その周辺の電子機器に与える種々の影響が無視されなくなっている。一方、上述のように動作周波数の高い集積回路部品等が高密度に配された電子機器は、これまで以上に周辺の電子機器から輻射されるいわゆる電磁妨害波に敏感となる傾向にある。このため、近年、電子機器においては、電磁妨害波の輻射レベルを極力抑圧すること、また、外部からの電磁妨害波により影響を受けに難くすることのようないわゆるEMC (Electro Magnetic Compatibility) 対策を施すことがこれまで以上に重要視されてきている。

【0003】ところで、電子装置においては、例えば、基準信号源として一定周期を有する安定した信号を発生する回路を装置内部に必要とする場合や、また、装置の動作試験等において疑似信号源として所定の周波数範囲で任意の周波数のいわゆる周期信号を発生するものが外部に別個に必要とする場合があるが、このような信号源として各種のクロック発生装置が従来から提案され、実用化されている。大方のクロック発生装置は、その装置の性格上、所望される出力周波数信号の他に、その高調波信号が発生するのはある程度止む得ないことであり、そのため、不要な高周波信号の輻射を防止または抑圧するためのフィルタを出力段に設ける等の種々のEMC対策が従来からも施されていた。

【0004】

【発明が解決しようとする課題】しかしながら、先に述べたように、EMCに対する認識が高まる昨今の現状において、より簡易な構成で不要な信号の輻射を抑圧し、しかも、不要信号の輻射レベルを極力低減することが望まれつつあり、従来のような対策技術の範囲では十分な

成果を得ることができないのが現状である。本発明は、上記実状に鑑みてなされたもので、本来の回路構成を複雑化することなく、不要信号の輻射を確実に、かつ、十分なレベルに抑圧することのできるクロック発生装置を提供するものである。本発明の他の目的は、使用環境に合わせて不要信号のスペクトラムの拡散の幅やその輻射レベルを簡易に調整することができ、汎用性の高いクロック発生装置を提供することにある。

【0005】

【課題を解決するための手段】請求項1記載の発明に係るクロック発生装置のスペクトラム拡散方法は、所定の制御データを変えることにより所望の出力周波数を得ることのできる周波数シンセサイザを用いてなるクロック発生装置におけるスペクトラム拡散方法であって、予め選択された複数の周波数に対応して定められた複数の制御データを、所定の時間間隔で、順次変えることにより、出力周波数のスペクトラムの拡散を行うようにしてなるものである。

【0006】かかる方法は、特に、いわゆる周波数合成により所望の出力周波数を得ることのできるよう構成されたクロック発生装置において、出力周波数を設定するための制御データを順次変えることにより、出力周波数を瞬時に変えることができることに着目してなされたもので、複数の出力周波数に対応する制御データを適宜選択し、所定の時間間隔で変えてゆくことにより、出力周波数の平均値を本来の所望のクロック信号の周波数とし、しかも、スペクトラムを分散させることができ、そのため、不要信号の輻射を確実に、かつ、十分なレベルに抑圧することができることとなるものである。

【0007】請求項3記載の発明に係るスペクトラム拡散クロック発生装置は、所定の制御データの設定に応じた出力周波数の信号を生成する周波数シンセサイザ手段と、予め選択された複数の周波数に対応して定められた複数の制御データを、所定の時間間隔で順次、前記周波数シンセサイザ手段へ設定する拡散周波数制御手段と、を具備してなるものである。

【0008】ここで、周波数シンセサイザ手段及び拡散周波数制御手段のより具体的な構成としては、種々のものが考えられるが、例えば、請求項4記載の発明のように、特に、周波数シンセサイザ手段は、外部から設定された制御データとしての位相増加分を外部入力される基準クロックに同期して累積し、累積の度毎に当該累積結果を出力する位相アキュムレータと、前記位相アキュムレータの出力データをアドレスとして、当該アドレスに記憶されたデジタル波形データを出力する波形メモリと、前記波形メモリのデジタル出力信号をアナログ信号に変換するデジタル・アナログ変換器と、前記アナログ変換器の出力信号から不要な信号成分を除去し、所定の周波数以下の信号のみを通過可能とするローパスフィルタと、を具備してなる一方、拡散周波数制御手段

は、スペクトラム拡散後の出力周波数の平均値が所望のクロック周波数となり、かつ、拡散の幅が所望の大きさとなるように選択された複数の周波数に対応する位相増加分を制御データとして記憶してなるものが好適である。

【0009】かかる構成において、位相アキュムレータ、波形メモリ、デジタル・アナログ変換器及びローパスフィルタから構成される部分は、いわゆるDDS (Direct Digital Synthesizer) 方式の発振回路として知られるものであり、このいわばDDS回路の位相アキュムレータを拡散周波数制御手段により制御することで、出力信号のスペクトラムの拡散を可能としたものである。拡散周波数制御手段は、例えば、いわゆるCPUにより所定のプログラムを実行させることで、または、ASIC (Application Specified IC) のようないわゆる専用IC等を用いることにより実現できるものである。そして、このような構成において、拡散周波数制御手段により、位相アキュムレータに対して、予め拡散周波数制御手段に記憶された複数の位相増加分が所定時間間隔で順次設定され、DDSにより得られる周波数が所定時間間隔で変化されることとなる。ここで、複数の位相増加分は、DDSにより得られる周波数が所定間隔で変化された場合の平均の周波数が本来所望のクロック信号の周波数となるよう、かつ、周波数が短時間で変化されることによるいわゆるスペクトラムの拡散が所定の幅となるようにして選択されたものであるため、スペクトラムの拡散により、不要信号の輻射を確実に、かつ、十分なレベルに抑圧しつつ、所望の周波数のクロック信号を得ることができることとなるものである。

【0010】また、請求項3記載の発明における周波数シンセサイザ手段及び拡散周波数制御手段として、特に、請求項5記載の発明のように、周波数シンセサイザ手段は、外部入力される制御用の電圧に応じた周波数を発振する電圧制御発振器と、外部から設定される制御データとしての分周比で前記電圧制御発振器の出力信号の周波数を分周するプログラマブルデバイダと、前記プログラマブルデバイダにより分周された信号と、外部入力される基準クロック信号との位相及び周波数比較を行い、当該比較結果に応じた信号を出力する位相比較器と、前記位相比較器の出力信号から所定周波数成分を除去するローパスフィルタと、を具備してなる一方、拡散周波数制御手段は、スペクトラム拡散後の出力周波数の平均値が所望のクロック周波数となり、かつ、拡散の幅が所望の大きさとなるように選択された複数の周波数に対応する分周比を制御データとして記憶してなるものも好適である。

【0011】かかる構成において、電圧制御発振器、プログラマブルデバイダ、位相比較器及びローパスフィルタから構成される部分は、いわゆるPLL (Phase-Locked Loop) 周波数シンセサイザ回路として知られるもの

であり、このPLL周波数シンセサイザ回路のプログラマブルデバイダの分周比を拡散周波数制御手段により制御することで、出力信号のスペクトラムの拡散を可能としたものである。拡散周波数制御手段は、例えば、いわゆるCPUにより所定のプログラムを実行させることで、または、ASIC (Application Specified IC) のようないわゆる専用IC等を用いることにより実現できるものである。そして、このような構成において、拡散周波数制御手段により、プログラマブルデバイダに対して、予め拡散周波数制御手段に記憶された複数の分周比のデータが所定時間間隔で順次設定され、上述のいわばPLL周波数シンセサイザ回路部分により得られる周波数が所定時間間隔で変化されることとなる。ここで、複数の分周比は、PLL周波数シンセサイザ回路により得られる周波数が所定間隔で変化された場合の平均の周波数が本来所望のクロック信号の周波数となるよう、かつ、周波数が短時間で変化されることによるいわゆるスペクトラムの拡散が所定の幅となるようにして選択されたものであるため、スペクトラムの拡散により、不要な信号の輻射を確実に、かつ、十分なレベルに抑圧しつつ、所望の周波数のクロック信号を得ることができることとなるものである。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図1乃至図5を参照しつつ説明することとする。なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

【0013】始めに第1の例について、図1及び図2並びに図5を参照しつつ説明する。この第1の例におけるスペクトラム拡散クロック発生装置は、いわゆるDDS (Direct Digital Synthesizer) 方式を用いたクロック発生回路を基本として、その出力信号のスペクトラム拡散が施されるように構成されてなるもので、具体的には、基準クロック発生器1aと、位相アキュムレータ(図1においては「PH ACC」と表記)2と、波形メモリ3と、デジタル・アナログ変換器(図1においては「D/A」と表記)4と、ローパスフィルタ(図1においては「LPF」と表記)5と、拡散周波数制御部6aとを具備してなるものである。

【0014】位相アキュムレータ2、波形メモリ3及びデジタル・アナログ変換器(以下「D/A変換器」と言う)4とから構成される部分は、一般にDDSと称され公知・周知の周波数シンセサイザ回路をなす部分であるが、基準クロック発生器1aは、このDDSの回路動作のいわば基本のクロックとなるクロック信号を発生、出力するもので、その出力信号は位相アキュムレータ2及びD/A変換器4に入力されるようになっており、これら位相アキュムレータ2及びD/A変換器4は、この基準クロック発生器1aからのクロック信号に同期して

動作するようになっている。

【0015】位相アキュムレータ2は、波形メモリ3及びD/A変換器4と共に、DDSによる周波数シンセサイザ回路をなすものであり、DDS方式において必要とされる位相増加分のデータが設定され、その累算が行われるようになっているものである。DDS方式による周波数シンセサイザ回路自体は、既に公知・周知のものであるので、詳細な説明は省略するが、動作原理を概括的にここで説明することとする。

【0016】DDS方式による信号発生においては、まず、位相アキュムレータ2により、波形メモリ3のアドレスが発生され、波形メモリ3に記憶されている1周期分の例えばサイン波形のデータが、位相アキュムレータ2により指定されたアドレス値から読み出されるようになっている。そして、波形メモリ3から読み出されたサイン波のデジタルデータが、D/A変換器4によりアナログ信号に変換され、ローパスフィルタ5により不要な信号成分の除去が施されて、アナログサイン波として得られるようになっているものである。

【0017】ここで、位相アキュムレータ2から波形メモリ3に入力されるデータは、波形メモリ3に記憶されているものが1周期分の波形データであることから、当該波形の位相角であると捉えることができるもので、通常この位相アキュムレータ2に外部から設定されるデータは、位相増加分と称される。すなわち、位相アキュムレータ2は、外部から設定された位相増加分を、基準クロックのタイミングで累算してゆくようになっており、累算の度毎にその累算結果が波形メモリ3へ出力され、波形メモリ3からは、その累算結果をアドレスとする波形データが読み出されることで、所望の周波数の信号が得られることとなるものである。したがって、位相アキュムレータ2に外部から設定される位相増加分を変えることで、出力信号の周波数が変わることとなり、このような意味から位相増加分は、周波数データとも称される。

【0018】波形メモリ3は、上述のように所定の波形の1周期分のデータがデジタル値で記憶されたものである。なお、この第1の例においては、所定の波形をサイン波としたが、必ずしもこれに限定される必要はなく、例えば、方形波信号であってもよいものである。D/A変換器4は、既に述べたように、波形メモリ3から読み出されたデジタル信号をアナログ信号に変換するためのもので、公知・周知の構成を有するものでよく、特別の構成を有するものである必要はないものである。ローパスフィルタ5は、D/A変換器4において生ずる不要な信号成分等を除去し、所望する本来のアナログ信号波形を得るためのものである。

【0019】拡散周波数制御部6aは、後述するように、先の位相アキュムレータ2に対して出力信号のスペ

クトラム拡散を行うために必要な複数の位相増加分(周波数データ)を出力するものである。この拡散周波数制御部6aは、具体的には、例えば、いわゆるCPUを用いて、後述するような内容を有するプログラムを実行させることにより実現され得るものである。また、汎用のCPUに代えて、例えば、ASIC(Application Specific IC)のような専用ICを用いて構成してもよいものである。

【0020】次に、クロック信号のスペクトラム拡散のための上記拡散周波数制御部6aによる位相アキュムレータ2に対する制御動作について、図2を参照しつつ説明する。拡散周波数制御部6aによる制御動作が開始されると、この拡散周波数制御部6aの図示されないメモリ(例えばCPUに内蔵されているメモリ等)から、予め記憶されている複数の位相増加分(周波数データ)の内から最初のデータが読み出されて、位相アキュムレータ2に設定されることとなる(図2のステップ100参照)。

【0021】すなわち、所望の出力周波数のクロック信号を得ようとする通常時において、位相アキュムレータ2に設定されるのは、当該所望周波数に対応して定まる所定の位相増加分のデータだけであるところ、この第1の例においては、本来のクロック信号を得るための位相増加分のデータと共に、予め所定条件の下、出力周波数として選択された複数の周波数に対応する複数の位相増加分のデータが、拡散周波数制御部6aの図示されないメモリに予め記憶されており、そのデータの内、最初のデータとして記憶されているものが読み出されて位相アキュムレータ2に設定される。

【0022】ここで、上述の予め所定条件の下、出力周波数として選択された複数の周波数とは、次のような観点から選択されるものである。まず、この第1の例におけるスペクトラム拡散クロック発生装置は、所望するクロック信号のスペクトラムを分散させることにより、本来のクロック信号と共に外部へ輻射される高調波信号のレベル低減を図るものである。このため、本来得ようとするクロック信号の周波数を中心にして、出力周波数を短時間間隔で複数変えることによって、スペクトラムの分散を図るようにしているものである。そして、変化させる出力周波数として幾つの周波数を選択するかは、スペクトラムの分散の幅が所望する幅を満足し、かつ、拡散された平均の中心周波数が所望する本来のクロック信号の周波数に等しくなるようにする観点から行われ、所望する本来のクロック信号の周波数を含めて例えばN個の周波数が選択される。

【0023】拡散周波数制御部6aの図示されないメモリには、このN個の各々の周波数を得るために必要とされる位相増加分(周波数データ)が記憶されており、先に述べたように、制御の開始に当たっては、このN個の中から予め定められた最初のデータが読み出されて位相

アキュムレータ2に設定されるようになっている。なお、N個のデータを如何なる順で読み出すかは、拡散された平均の中心周波数が所望する本来のクロック信号の周波数に一致すればよいという観点からすれば、特定の順に限定されるものではなく、例えば、周波数の低い方から高い方へ読み出す、逆に、周波数の高い方から低い方へ読み出す等種々の形態を採り得るものである。

【0024】上述のようにして、最初の位相増加分が設定された直後、タイマーが始動されることとなる(図2のステップ102参照)。このタイマーは、後述するように時間経過を判定するために用いられるもので、公知・周知の方法に基づいた経過時間算出のためのプログラムの実行により実現されるものである。

【0025】そして、タイマー始動時から所定の時間が経過したか否かが、所定時間が経過したと判定されるまで行われることとなり(図2のステップ104参照)、所定時間が経過したと判定されると、位相増加分のデータが所定数読み出されたか否かが判定されることとなる(図2のステップ106参照)。この判定において、位相増加分のデータが未だ所定数読み出されていないと判定された場合(ＮＯの場合)には、先のステップ100へ戻り次の位相増加分のデータが上述したように読み出されることとなる。したがって、所定数の位相増加分のデータは、上述したステップ104の判定で定められる所定時間の間隔で位相アキュムレータ2に順次設定されてゆくようになっている。換言すれば、この第1の例におけるスペクトラム拡散クロック発生装置から出力されるクロック信号の周波数は、所定間隔で変化される結果、スペクトラムの拡散がなされることとなるものである。ここで、所定時間は、例えば、数10ms程度に設定されるもので、出力周波数の繰り返し周期に比して大なることが必要である。

【0026】一方、ステップ106の判定において、所定数の位相増加分のデータが読み出されたと判定された場合(ＹＥＳ)には、一連のサブルーチン処理が終了され、図示されないメインルーチンへ一旦戻り、他の処理がなされた後、上述した一例の処理が再度繰り返されるようになっている。

【0027】このように、この第1の例においては、拡散周波数制御部6aにより、DDSのための位相アキュムレータ2に、予め所定条件の下で選定された複数の位相増加分のデータを所定時間間隔で設定することにより、出力周波数が極短い時間間隔で変化されて、スペクトラム拡散が行われる結果、従来のこの種のクロック発生装置の出力スペクトラムが、例えば、図5(b)に示されたように、いわゆる線スペクトラムになっていたのに対し、この第1の例におけるスペクトラム拡散クロック発生装置の出力スペクトラムは、同図(a)に示されたように、個々の周波数を中心にして、拡がり(拡散幅)を有するものとなり、このスペクトラムの拡散によ

り、そのレベルが従来に比して低減されることともなるものである。なお、スペクトラムの拡散幅やレベルは、先に述べたように、位相アキュムレータ2に設定される複数の位相増加分のデータの選定の仕方によって、任意に変更し得るものである。

【0028】次に、第2の実施例について、図3乃至図5を参照しつつ説明する。まず、図3を参照しつつこの第2の例におけるスペクトラム拡散クロック発生装置の構成について説明する。この第2の例におけるスペクトラム拡散クロック発生装置は、いわゆるPLL(Phase-Locked Loop)周波数シンセサイザを基本として構成されたもので、基準クロック発生器1bと、位相比較器(図3においては「PC」と表記)7と、いわゆるローパスフィルタとしてのローパスフィルタ(図3においては「LPF」と表記)8と、電圧制御発振器(図3においては「VCO」と表記)9と、プログラマブルデバイダ(図3においては「PG DIV」と表記)10と、拡散周波数制御部6bとを具備してなるものである。

【0029】基準クロック発生器1bは、いわゆるPLL周波数シンセサイザ回路において必要とされ基準周波数源となるもので、所定周波数のクロック信号を位相比較器7へ出力するようになっているものである。この基準クロック発生器1bの回路構成は、公知・周知の発振回路でよく、特定のものに限定される必要はないが、特に、水晶発振器を用いて発振する構成のものが好適である。

【0030】位相比較器7は、基準クロック発生器1bから入力されたクロック信号と、プログラマブルデバイダ10から入力された信号との位相及び周波数比較を行い、その比較結果に応じた電圧信号を出力するようになっているもので、この種のPLL回路において公知・周知の回路構成を有してなるものである。ローパスフィルタ8は、電圧制御発振器9に入力されるべき電圧信号のみを通過させ、位相比較器7の出力信号に含まれる不要な信号を除去するためのもので、位相比較器7同様に、この種のPLL回路において公知・周知の回路構成を有してなるものである。

【0031】電圧制御発振器9は、ローパスフィルタ8を介して入力される位相比較器7の比較結果に応じた直流電圧に応じた発振を行うようになっているもので、位相比較器7同様に、この種のPLL回路において公知・周知の回路構成を有してなるものである。プログラマブルデバイダ10は、電圧制御発振器9から入力された信号の周波数を所定の分周比に分周して出力するもので、所定の分周比は、外部からの制御によって可変できるようになっているものである。このプログラマブルデバイダ10も、位相比較器7同様にこの種のPLL回路において公知・周知の回路構成を有してなるものとなっている。

【0032】拡散周波数制御部6bは、電圧制御発振器

9の出力周波数について所望のスペクトラムの拡散がなされるように、プログラマブルデバイダ10の分周比を、所定の制御手順にしたがって変えるようになっているものである(詳細は後述)。この拡散周波数制御部6bは、具体的には、例えば、いわゆるCPUを用いて、後述するような内容を有するプログラムを実行させることにより実現され得るものである。また、汎用のCPUに代えて、例えば、ASIC(Application Specified IC)のような専用ICを用いて構成してもよいものである。

【0033】上記構成において、電圧制御発振器9からある周波数のクロック信号を得る動作は、後述する拡散周波数制御部6bによる分周比の設定を除けば、この種のPLL回路において公知・周知となっているものと基本的に同一であるので概略的に説明すれば、まず、基準クロック発生器1bの出力周波数がFs、プログラマブルデバイダ10に設定された分周比がM、電圧制御発振器9の出力周波数がFoであると仮定する。

【0034】電圧制御発振器9の出力の一部は、プログラマブルデバイダ10に入力され、その周波数はFo/Mとなり、位相比較器7に入力されるようになっている。そして、位相比較器7においては、FsとFo/Mとの位相比較が行われ、いわゆるPLLループがロックされた状態において、 $Fs = Fo/M$ が成立する。したがって、電圧制御発振器9の出力周波数Foは、 $Fo = M \times Fs$ と得られるようになっている。

【0035】次に、クロック信号のスペクトラム拡散のための上記拡散周波数制御部6bによるプログラマブルデバイダ10に対する制御動作について、図4を参照しつつ説明する。拡散周波数制御部6bによる制御動作が開始されると、この拡散周波数制御部6bの図示されないメモリ(例えばCPUに内蔵されているメモリ等)から、予め記憶されている複数の分周比のデータの内から最初のデータが読み出されて、プログラマブルデバイダ10に設定されることとなる(図4のステップ200参照)。

【0036】すなわち、所望の出力周波数のクロック信号を得ようとする通常時において、プログラマブルデバイダ10に設定されるのは、当該所望周波数に対応して定まる所定の分周比のデータだけであるところ、この第2の例においては、本来のクロック信号を得るための分周比のデータと共に、予め所定条件の下、出力周波数として選択された複数の周波数に対応する分周比のデータが、拡散周波数制御部6bの図示されないメモリに予め記憶されており、そのデータの内、最初のデータとして記憶されているものが読み出されてプログラマブルデバイダ10に設定される。

【0037】ここで、上述の予め所定条件の下、出力周波数として選択された複数の周波数とは、次のような観点から選択されるものである。まず、この第2の例にお

けるスペクトラム拡散クロック発生装置は、所望するクロック信号のスペクトラムを分散させることにより、本来のクロック信号と共に外部へ輻射される高調波信号のレベル低減を図るものである。このため、本来得ようとするクロック信号の周波数を中心にして、出力周波数を短時間間隔で複数変えることによって、スペクトラムの分散を図るようにしているものである。そして、変化させる出力周波数として幾つの周波数を選択するかは、スペクトラムの分散の幅が所望する幅を満足し、かつ、拡散された平均の中心周波数が所望する本来のクロック信号の周波数に等しくなるようにする観点から行われ、所望する本来のクロック信号の周波数を含めて例えばN個の周波数を選択される。

【0038】拡散周波数制御部6bの図示されないメモリには、このN個の各々の周波数を得るために必要とされる分周比が記憶されており、先に述べたように、制御の開始に当たっては、このN個の中から予め定められた最初のデータが読み出されてプログラマブルデバイダ10に設定されるようになっている。なお、N個のデータを如何なる順で読み出すかは、拡散された平均の中心周波数が所望する本来のクロック信号の周波数に一致すればよいという観点からすれば、特定の順に限定されるものではなく、例えば、周波数の低い方から高い方へ読み出す、逆に、周波数の高い方から低い方へ読み出す等種々の形態を採り得るものである。

【0039】上述のようにして、最初の分周比が設定された直後、タイマーが始動されることとなる（図4のステップ202参照）。このタイマーは、後述するように時間経過を判定するために用いられるもので、公知・周知の方法に基づいた経過時間算出のためのプログラムの実行により実現されるものである。

【0040】そして、タイマー始動時から所定の時間が経過したか否かが、所定時間が経過したと判定されるまで行われることとなり（図4のステップ204参照）、所定時間が経過したと判定されると、分周比のデータが所定数読み出されたか否かが判定されることとなる（図4のステップ206参照）。この判定において、分周比のデータが未だ所定数読み出されていないと判定された場合（NOの場合）には、先のステップ200へ戻り次の分周比のデータが上述したように読み出されることとなる。したがって、所定数の分周比のデータは、上述したステップ204の判定で定められる所定時間の間隔でプログラマブルデバイダ10に順次設定されてゆくようになっている。換言すれば、この第2の例におけるスペクトラム拡散クロック発生装置から出力されるクロック信号の周波数は、所定間隔で変化される結果、スペクトラムの拡散がなされることとなるものである。ここで、所定時間は、例えば、数10ms程度に設定されるもので、出力周波数の繰り返し周期に比して大なることが必要である。

【0041】一方、ステップ206の判定において、所定数の分周比のデータが読み出されたと判定された場合（YES）には、一連のサブルーチン処理が終了され、図示されないメインルーチンへ一旦戻り、他の処理がなされた後、上述した一例の処理が再度繰り返されるようになっている。

【0042】このように、この第2の例においては、拡散周波数制御部6bにより、PLL方式の周波数シンセサイザ回路を構成するプログラマブルデバイダ10に、予め所定条件の下で選定された複数の分周比のデータを所定時間間隔で設定することにより、出力周波数が極短い時間間隔で変化されて、スペクトラム拡散が行われる結果、従来のこの種のクロック発生装置の出力スペクトラムが、例えば、図5（b）に示されたように、いわゆる線スペクトラムになっていたのに対し、この第2の例におけるスペクトラム拡散クロック発生装置の出力スペクトラムは、同図（a）に示されたように、個々の周波数を中心にして、拡がり（拡散幅）を有するものとなり、このスペクトラムの拡散により、そのレベルが従来に比して低減されることともなるものである。なお、スペクトラムの拡散幅やレベルは、先に述べたように、プログラマブルデバイダに設定される複数の分周比のデータの選定の仕方によって、任意に変更し得るものである。

【0043】

【発明の効果】以上、述べたように、本発明においては、特定の制御データを変えることで所望の出力周波数を得ることのできるクロック発生装置において、その制御データを所定の条件の下で所定時間間隔で順次変化させることができるように構成することにより、予め所定条件の下で複数の制御データを選択し、これを順次設定してゆくことで、出力スペクトラムの拡散を図ることができ、このため、不要信号の輻射エネルギーの分散がなされるので、いわゆるEMC妨害の低減を簡易に行うことができる。特に、請求項4乃至5記載の発明においては、拡散周波数制御手段をプログラムの実行により目的の機能を果たすような構成とすることができるので、スペクトラムの拡散の幅や、そのレベル等を要求に合わせて容易に変えることができ、汎用性が高く、しかも、不要な信号の輻射を確実に、かつ、十分なレベルに抑圧することのできるクロック発生装置を提供することができるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるスペクトラム拡散クロック発生装置の第1の例における構成例を示す構成図である。

【図2】図1に示されたスペクトラム拡散クロック発生装置の拡散周波数制御部による位相アキュムレータに対するスペクトラム拡散のための制御動作の手順を示すサブルーチンフローチャートである。

【図3】本発明の実施の形態におけるスペクトラム拡散クロック発生装置の第2の例における構成例を示す構成図である。

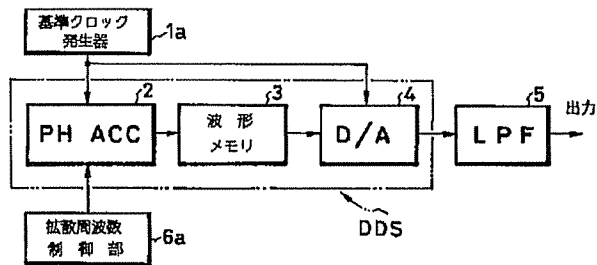
【図4】図3に示されたスペクトラム拡散クロック発生装置の拡散周波数制御部によるプログラマブルデバイダへ対するスペクトラム拡散のための制御動作の手順を示すサブルーチンフローチャートである。

【図5】本発明に係るスペクトラム拡散クロック発生装置の出力信号のスペクトラムの様子を従来装置のものと共に模式的に示す模式図である。

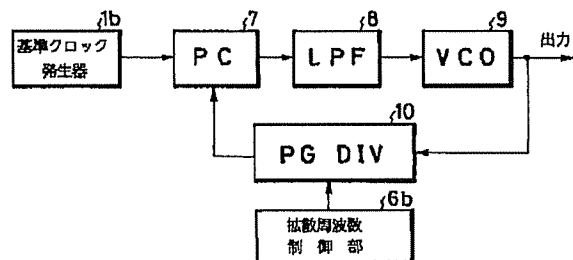
【符号の説明】

- 2…位相アキュムレータ
- 3…波形メモリ
- 4…D/A変換器
- 6a…拡散周波数制御部
- 6b…拡散周波数制御部
- 7…位相比較器
- 9…電圧制御発振器
- 10…プログラマブルデバイダ

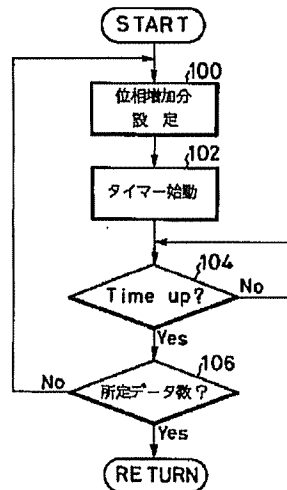
【図1】



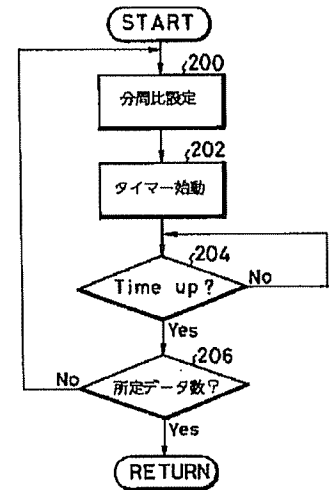
【図3】



【図2】

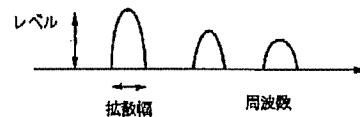


【図4】



【図5】

(a)



(b)

